

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-214945

(43)Date of publication of application : 14.12.1983

(51)Int.Cl. G06F 9/22
G11C 17/00

(21)Application number : 57-097445 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 07.06.1982 (72)Inventor : OCHIAI TOSHIAKI

(54) PROGRAM CHANGING DEVICE

(57)Abstract:

PURPOSE: To change artificially the program of an ROM by setting properly the contents of an address register switching circuit and an RAM respectively then registering an optional number of correcting programs at an optional position.

CONSTITUTION: The contents of program counter are stored in a program counter register 1 and the head addresses of the programs to be corrected are stored in address registers 21W2n. Comparators 31W3n compare the contents between the register 1 and the registers 21W2n and deliver ON signals to output signals 41W4n when the coincidence of comparison is obtained. Switch circuits SW1WSWn decide whether the signals 41W4n should be made effective. An interruption is generated in response to the ON/OFF signals of a switch circuit Swi. Then the ON/OFF information of the circuit SWi is set and corrected to an RAM 8 via a central processor unit. As a result a data setting device 9 can be changed artificially to the program within an ROM 7.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑫ 公開特許公報 (A) 昭58—214945

⑪ Int. Cl.³
G 06 F 9/22
G 11 C 17/00

識別記号 庁内整理番号
8120—5B
6549—5B

⑬ 公開 昭和58年(1983)12月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ プログラム変更装置

⑮ 特 願 昭57—97445
⑯ 出 願 昭57(1982)6月7日
⑰ 発 明 者 落合利章
鎌倉市上町屋325番地三菱電機

株式会社鎌倉製作所内
⑱ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
⑲ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1 発明の名称

プログラム変更装置

2 特許請求の範囲

リードオンリーメモリに格納されているプログラムを擬似的に変更するプログラム変更装置において、プログラムカウンタの値を格納しておくプログラムカウンタレジスタと、変更するプログラムの先頭アドレスを格納しておくアドレス登録レジスタと、プログラムカウンタレジスタの内容とアドレス登録レジスタの内容を比較して一致した時に一致信号を出す比較回路と、アドレス登録レジスタのデータの設定とスイッチング回路のON/OFF情報の設定及び修正をするためのプログラムの内容をランダムアクセスメモリに格納するデータ設定装置とを備えたことを特徴とするプログラム変更装置。

3 発明の詳細な説明

この発明はリードオンリーメモリ(以下「ROM」と称す)に格納されているプログラムの

内容を擬似的に、簡単な方法で変更できるようにしたプログラム変更装置に関するものである。

一般に、ディスクなどの二次記憶装置がない計算機システムにおいて、マイクロコンピュータなどの小形計算機が組込まれている場合は、プログラムをROMに格納しておくことが多々ある。

ROMに格納されるプログラムは、ROMライターなどの特殊なROM書き込み用装置でしか書き込みができないので、たとえば、システム稼動中にプログラムの不具合が発生した場合、システムの稼動を停止して正しいROMをROMライターによって作り直し、それと不具合のあるROMとを入れ替えて、再度システムを稼動しなければならなかった。

また、不具合のあるROMを装着している状態でプログラムの修正内容を確認できないため、正しいと思われるROMを入れ替えても正常に動作する保障がなかった。

この発明はかかる点を除去し、廉価でしかも簡単な方法で即座に、ROMに格納されているプログラムを擬似的に変更するプログラム変更装置を提供するものである。

以下、図に示す一実施例によってこの発明を説明する。

第1図において、(1)はプログラムカウンタの内容を格納しておくレジスタ(以下、「プログラムカウンタレジスタ」と称す)、(2) \cdots (2n)は修正するプログラムの先頭アドレスを格納しておくレジスタ(以下「アドレス登録レジスタ」と称す)、(3) \cdots (3n)は上記プログラムカウンタレジスタ(1)の内容とアドレス登録レジスタ(2) \cdots (2n)の内容を比較して一致した場合に出力信号(4) \cdots (4n)にON信号を出力する比較回路、(5) \cdots (5n)は出力信号(4) \cdots (4n)のON信号を有効にするかどうかを決めるスイッチング回路、(6)はスイッチング回路(5) \cdots (5n)のON信号に対応して割込みを発生させる割込みコントロールユニット、(6)

第3図の04, 09, 0Bは、ROMに格納しているプログラムを修正するために、データ設定装置(9)によって、RAM上にプログラム、及び、データを格納した時のプログラムのアドレス、オブジェクトコード、及びそのオブジェクトコードをソースコードに変換した時の内容について表わしている。

第2図、第3図のソースコードにおいて、(ORG)は続けて記述するプログラムの格納番地を指定することを、(Ax)、(Bx)、(Cx)、(Dx)は汎用レジスタを、(MOV Ax, 1)は(Ax)レジスタの内容に1を格納することを、(JMP A)はジャンプ命令(JMP)の飛び先を表わすラベル名を、(DW)はワード長のデータをメモリに確保することを表わしている。

なお、8086においては、プログラムの実行アドレスが、コードセグメントとオフセットアドレスの和によって表わされるが、ここではコードセグメントの内容を0とする。したがって、オフセットアドレス(第2図の04, 第3図の

特開昭58-214945(2)

は制御装置と演算装置とを備えたセントラルプロセッサユニット、(7)はプログラムなどの固定データを格納しておくROM、(8)は変数などの可変データ、及び、修正するプログラムを格納しておくランダムアクセスメモリ(以下、RAMと称す)、(9)はレジスタ(2) \cdots (2n)のアドレス情報とスイッチング回路(5) \cdots (5n)のスイッチのON/OFF情報の設定、及び、(6)のRAMに修正するプログラムを格納するためのデータ設定装置である。なお、ここではインテル8086のアセンブラ言語によって説明するが、他の計算機でも同様に行為することができ

第2図の04, 09, 0Bは、それぞれROMに格納されているプログラムのアドレス、オブジェクトコードに変換した時の内容について表わしている。

第2図の0BはROMに格納しているプログラムの修正内容を表わしている。(～線が修正する位置である)

04)がプログラムの実行アドレスとなる。

また、(5w₁)からの信号は割込みコントロールユニット(6)、及び、セントラルプロセッサユニット(6)によってレベル82の割込みが発生し、8004番地(以後04は16進数の数値であることを表わす)から8804番地までに格納されているデータをアドレスと見なし、そのアドレスの示す位置に制御が移るものとする。(通常、このような方式を「ベクトル割込み方式」と呼んでいる)

今、データ設定装置(9)によって(2₁)のアドレス登録レジスタの内容を100804に、第3図で示すプログラムを(8)のRAMに、(5w₁)のスイッチをONにそれぞれ設定し、プログラムをイニシャルスタートしたものとする。さらに、プログラムの実行が1000番地に移って来たものとする。

1000番地の命令を実行する段階でプログラムカウンタレジスタ(1)は100804に設定され、アドレス登録レジスタ(2₁)の内容と一致す

るため、比較回路(8_i)の出力(4_i)はONとなる。(s w_i)はデータ設定装置(9)によってONにされているので、割込みコントロールユニット(5)、及び、セントラルプロセッサユニット(6)によって10000番地の命令が終了した段階でレベル32の割込みが発生する。

レベル32の割込み応答アドレスとして8000番地から8800番地に実行アドレス(9000)が格納されているので、9000番地にプログラムの制御が移る。

9000番地と9020番地の命令を実行することによって(Bx)、及び、(Cx)レジスタに所望の値が格納され、さらに、9050番地の命令を実行することによって、元のROMに格納されているプログラム(アドレス:1009番地)に制御が戻る。

ここでは変更する場所を一箇所しか指定していないが、(2_i)・・(2_n)のアドレス登録レジスタ、(s w_i)・・(s w_n)のスイッチング回路、及び、(6)のRAMの内容を適当に設定するこ

はROM、(8)はRAM、(9)はデータ設定装置、00、01、02はそれぞれROMに格納されているプログラムのアドレス、オブジェクトコード及び、そのオブジェクトコードをソースコードに変換した時の内容、03はROMに格納しているプログラムの修正内容、04、05、06はそれぞれのRAM上に格納するプログラムのアドレス、オブジェクトコード、及び、そのオブジェクトコードをソースコードに変換した時の内容を示してある。

代理人 葛 野 信 一

特開昭58-214945(3)

とによって、任意の位置に任意の個数、修正用プログラムを登録できる。

このようにROMに格納されているプログラムを擬似的に変更できるので、プログラムのパッチ修正などが容易に行なえる。

また、システムが稼動中にプログラムを変更できるので、システムの動作を停止する必要がなく、プログラムの変更確認もその場で行なうことが可能である。

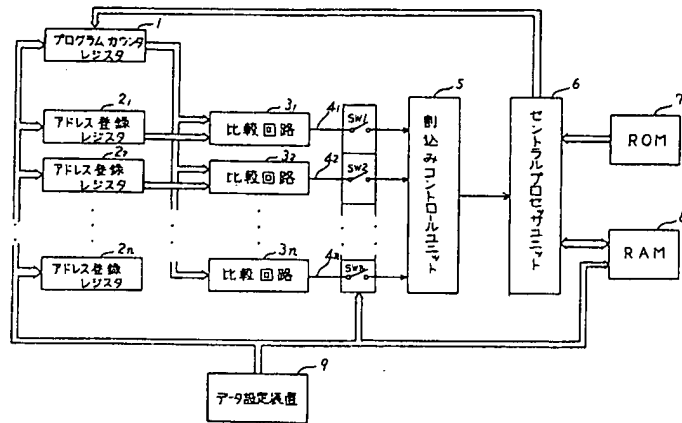
4 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図はROMに格納されているプログラムとその修正箇所を示すプログラム例を示す図、第3図はRAMに格納するパッチ用のプログラム例を示す説明図である。

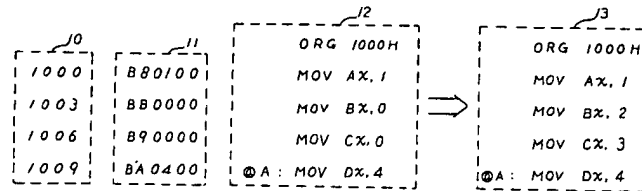
図において(1)はプログラムカウンタレジスタ、(2_i)・・(2_n)はアドレス登録レジスタ、(8_i)・・(8_n)は比較回路、(s w_i)・・(s w_n)はスイッチング回路、(5)は割込みコントロールユニット、(6)はセントラルプロセッサユニット、(7)

特開昭58-214945 (4)

第 1 図



第 2 図



第 3 図

